

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# URZĄD PATENTOWY RZECZYPOSPOLITEJ POLSKIEJ



## ZASWIADCZENIE

Advanced Digital Broadcast Ltd.,  
Hsin-Tien City, Tajwan

Advanced Digital Broadcast Polska Sp. z o.o.  
Zielona Góra, Polska

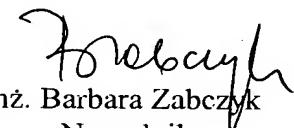
złożyły w Urzędzie Patentowym Rzeczypospolitej Polskiej dnia 30 grudnia 2002 r. podanie o udzielenie patentu na wynalazek pt. „**Układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń.**”

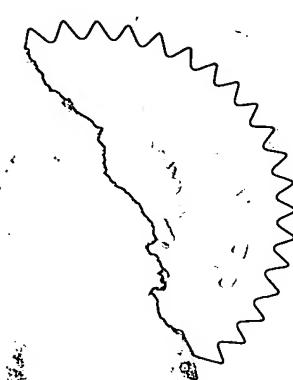
Dołączone do niniejszego zaświadczenia opis wynalazku, zastrzeżenia patentowe i rysunki są wierną kopią dokumentów złożonych przy podaniu w dniu 30 grudnia 2002r.

Podanie złożono za numerem P-358050

Warszawa, dnia 28 października 2003 r.

z upoważnienia **Prezesa**

  
inż. Barbara Zabczyk  
Naczelnik



## Układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń

Przedmiotem wynalazku jest układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń, umożliwiający jednoczesną obsługę dekoderowych kart rozszerzeń oraz uniwersalnych kart rozszerzeń.

Znane układy obsługi dekoderowych kart rozszerzeń (kart typu CI - Common Interface Specification for Conditional Access and other Digital Video Broadcasting Decoder Application) lub uniwersalnych kart rozszerzeń (kart typu PCMCIA - Personal Computer Memory Card International Association) są wyposażone w gniazdo (kieszeń) czytnika kart, który jest połączony z procesorem i układem sterowania.

Istota układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń, według wynalazku, polega na tym, że odbiornik, poprzez układ sterujący, jest połączony z procesorem, z układem wybierającym i czytnikiem kart połączonym z układem zasilania, do którego to czytnika kart są dołączone trzy bufory, przy czym czytnik kart, poprzez pierwszy bufor i drugi bufor, jest połączony z procesorem, zaś poprzez trzeci bufor jest połączony z układem sterującym.

Korzystnym jest, że układ wybierający zawiera cztery zaciski wejściowe, z których zacisk wejściowy sygnału sterującego połączony jest z wejściem multipleksera, zaś każdy z pozostałych trzech zacisków wejściowych sygnałów sterujących połączony jest z wejściem jednego z trzech inwerterów, przy czym ich wyjścia są połączone z

elementami NAND, których wyjścia są połączone z wejściem jednego z multiplekserów sterowanych sygnałem wygenerowanym przez procesor.

Istota drugiej odmiany układu, według wynalazku, polega na tym, że ma pierwszy czytnik kart z układem zasilającym i drugi czytnik kart z układem zasilającym oraz ma procesor, który jest połączony szyną sterującą i 8-bitową szyną danych z układem sterującym, którego wejście jest dołączone do odbiornika, oraz który to procesor połączony jest z pierwszym układem sterującym i z drugim układem sterującym oraz poprzez, pierwszy bufor dla pierwszego czytnika kart i drugi bufor dla pierwszego czytnika kart, z pierwszym czytnikiem kart oraz, poprzez pierwszy bufor dla drugiego czytnika kart i drugi bufor dla drugiego czytnika kart, z drugim czytnikiem kart, z układem sterującym, poprzez trzeci bufor dla pierwszego czytnika kart, połączony jest z pierwszym czytnikiem kart, oraz, poprzez trzeci bufor dla drugiego czytnika kart, połączony jest z drugim czytnikiem kart.

Układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń, według wynalazku, zapewnia jednocześnie przetwarzanie sygnałów telewizyjnych przy użyciu dekoderowych kart rozszerzeń, oraz obsługę uniwersalnych kart rozszerzeń.

Przedmiot wynalazku, w przykładach wykonania, jest odtworzony na rysunku, na którym fig. 1 przedstawia schemat blokowy układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń z jednym czytnikiem kart, fig. 2 - schemat blokowy układu wybierającego, fig. 3 - przebiegi czasowe impulsów na wejściach i na wyjściach układu wybierającego, fig. 4 - sieć działań dla układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń z jednym czytnikiem kart, uwidocznionego na fig. 1, fig. 5 - schemat blokowy układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń z dwoma czytnikami kart.

Zgodnie z pierwszym przykładem wykonania układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń z jednym czytnikiem kart, według wynalazku, charakteryzuje się tym, że odbiornik 1 zakodowanego cyfrowego sygnału telewizyjnego, poprzez układ sterujący 2, jest połączony z procesorem 3, z układem wybierającym 4 i z czytnikiem kart 9 połączonym z układem zasilania 8, do którego to czytnika kart 9 są dołączone trzy bufory, przy czym czytnik kart 9, poprzez pierwszy bufor 5 i drugi bufor

6, jest połączony z procesorem 3, zaś poprzez trzeci bufor 7 jest połączony z układem sterującym 2. Pierwszy bufor 5 i drugi bufor 6 są dwukierunkowym nadajnikiem/odbiornikiem linii, zaś trzeci bufor 7 jest jednokierunkowym nadajnikiem/odbiornikiem linii.

Odbiornik 1 odbiera zakodowany cyfrowy sygnał telewizyjny. Z odbiornika 1, poprzez 8-bitową szyną danych TS CI 0-7, sygnał przekazywany jest do układu sterującego 2. Steruje on przesyłem danych między odbiornikiem 1, procesorem 3, układem wybierającym 4 i czytnikiem kart 9. Generowany przez procesor 3 sygnał P przyjmuje wartość logiczną 0 dla dekoderowej karty rozszerzeń oraz wartość logiczną 1 dla uniwersalnej karty rozszerzeń. Sygnałem P sterowane są: układ wybierający 4, drugi bufor 6 i trzeci bufor 7. Ponadto sygnał P wpływa na wartość sygnałów sterujących CE1# i CE2#, które służą do odczytywania danych z karty 10 umieszczonej w czytniku kart 9.

Drugi przykład wykonania układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń, według wynalazku, charakteryzuje się tym, że ma pierwszy czytnik kart 9A z układem zasilającym 8A i drugi czytnik kart 9B z układem zasilającym 8B oraz ma procesor 3AB, który jest połączony szyną sterującą 11 i 8-bitową szyną danych TS 0-7 z układem sterującym 2, którego wejście jest dołączone do odbiornika 1, oraz który to procesor 3AB połączony jest z pierwszym układem wybierającym 4A sterowanym sygnałem P<sub>A</sub> i z drugim układem wybierającym 4B sterowanym sygnałem P<sub>B</sub> oraz poprzez pierwszy bufor dla pierwszego czytnika kart 5A i drugi bufor dla pierwszego czytnika kart 6A, z pierwszym czytnikiem kart 9A oraz, poprzez pierwszy bufor dla drugiego czytnika kart 5B i drugi bufor dla drugiego czytnika kart 6B, z drugim czytnikiem kart 9B, a układem sterującym 2, poprzez trzeci bufor dla pierwszego czytnika kart 7A, połączony jest z pierwszym czytnikiem kart 9A, oraz poprzez trzeci bufor dla drugiego czytnika kart 7B, połączony jest z drugim czytnikiem kart 9B.

Jakkolwiek układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń opisano w powiązaniu z dwoma gniazdami (kieszeniami), to jednak nadaje się on również do rozszerzenia możliwości odbiorników telewizji cyfrowej przez

wyposażenie ich w więcej niż dwa gniazda (dwie kieszenie).

Wyżej podane szczegółowe opisy poszczególnych struktur funkcjonalnych układu obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń, według wynalazku, nie powinny być interpretowane jako ograniczające ideę wynalazku do odmian opisanych układów i dla znawcy z dziedziny odbioru kodowanych sygnałów telewizyjnych jest oczywiste, że opisane odmiany układów mogą być poddane wielu modyfikacjom, dostosowaniom lub równoważnym realizacjom, które nie będą zbyt odległe od ich charakteru technicznego i nie doprowadzą do umniejszenia osiąganych przez nie efektów technicznych. Tak więc niniejszy opis wynalazku nie należy interpretować jako ograniczający się do ujawnienia przykładów wykonania i określenia odmian układu zastrzeżeniami patentowymi.



mgr Bogdan Rokicki  
rzecznik patentowy

### Zastrzeżenia patentowe

1. Układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń zawierający czytnik kart, układ sterujący i procesor, znamienny tym, że odbiornik (1), poprzez układ sterujący (2), jest połączony z procesorem (3), z układem wybierającym (4) i z czytnikiem kart (9) połączonym z układem zasilania (8), do którego to czytnika kart (9) są dołączone trzy bufory, przy czym czytnik kart (9), poprzez pierwszy bufor (5) i drugi bufor (6), jest połączony z procesorem (3), zaś poprzez trzeci bufor (7) jest połączony z układem sterującym (2).

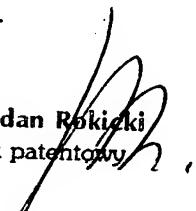
2. Układ według zastrz. 1, znamienny tym, że układ wybierający (4) zawiera cztery zaciski wejściowe, z których zacisk wejściowy sygnału sterującego (CE2) połączony jest z wejściem multipleksera (27), zaś każdy z pozostałych trzech zacisków wejściowych sygnałów sterujących (BE1, BE2, CE1) połączony jest z wejściem jednego z trzech inwerterów (21, 22, 23), przy czym ich wyjścia są połączone z elementami NAND (24, 25), których wyjścia są połączone z wejściem jednego z multiplekserów (26, 27) sterowanych sygnałem (P) wygenerowanym przez procesor (3).

3. Układ obsługi dekoderowych kart rozszerzeń i uniwersalnych kart rozszerzeń zawierający układ sterujący i procesor, znamienny tym, że ma pierwszy czytnik kart (9A) z układem zasilającym (8A) i drugi czytnik kart (9B) z układem zasilającym (8B) oraz ma procesor (3AB), który jest połączony z układem sterującym (2), którego wejście jest dołączone do odbiornika (1), oraz który to procesor (3AB) połączony jest z pierwszym układem wybierającym (4A) sterowanym sygnałem (P<sub>A</sub>) i z drugim układem

wybierającym (4B) sterowanym sygnałem (P<sub>B</sub>) oraz poprzez, pierwszy bufor dla pierwszego czytnika kart (5A) i drugi bufor dla pierwszego czytnika kart (6A), z pierwszym czytnikiem kart (9A) oraz, poprzez pierwszy bufor dla drugiego czytnika kart (5B) i drugi bufor dla drugiego czytnika kart (6B), z drugim czytnikiem kart (9B), a układ sterujący (2), poprzez trzeci bufor dla pierwszego czytnika kart (7A), połączony jest z pierwszym czytnikiem kart (9A), oraz, poprzez trzeci bufor dla drugiego czytnika kart (7B), połączony jest z drugim czytnikiem kart (9B).

4. Układ według zastrz. 3 znamienny tym, że układ wybierający (4A, 4B) zawiera cztery zaciski wejściowe, z których zacisk wejściowy sygnału sterującego (CE2) połączony jest z wejściem multipleksera (27), zaś każdy z pozostałych trzech zacisków wejściowych sygnałów sterujących (BE1, BE2, CE1) połączony jest z wejściem jednego z trzech inwerterów (21, 22, 23), przy czym ich wyjścia są połączone z elementami NAND (24, 25), których wyjścia są połączone z wejściem jednego z multiplekserów (26, 27) sterowanych sygnałem (P<sub>A</sub>, P<sub>B</sub>) wygenerowanym przez procesor (3AB).

mgr Bogdan Rokicki  
rzecznik patentowy



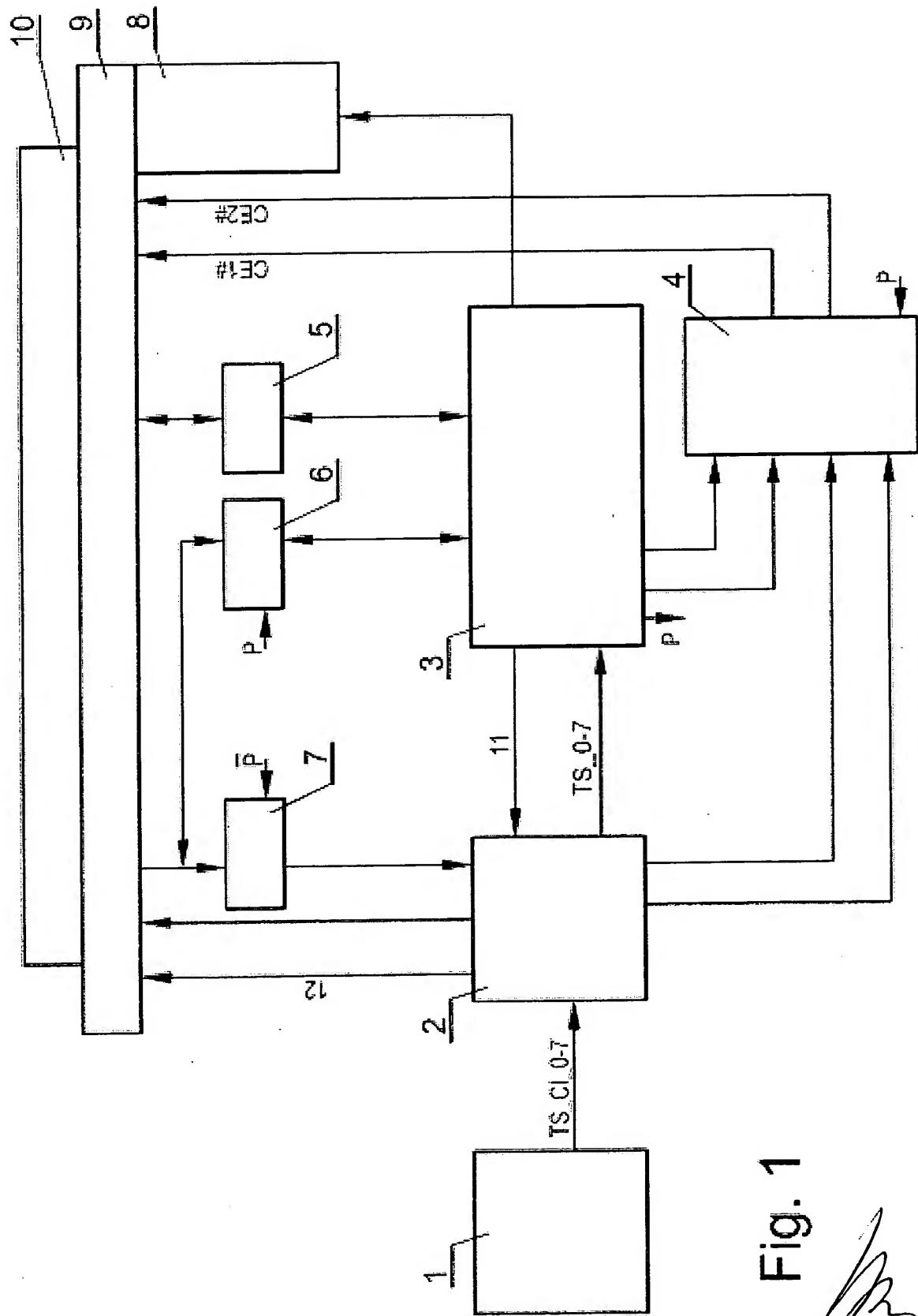


Fig.

2 / 4

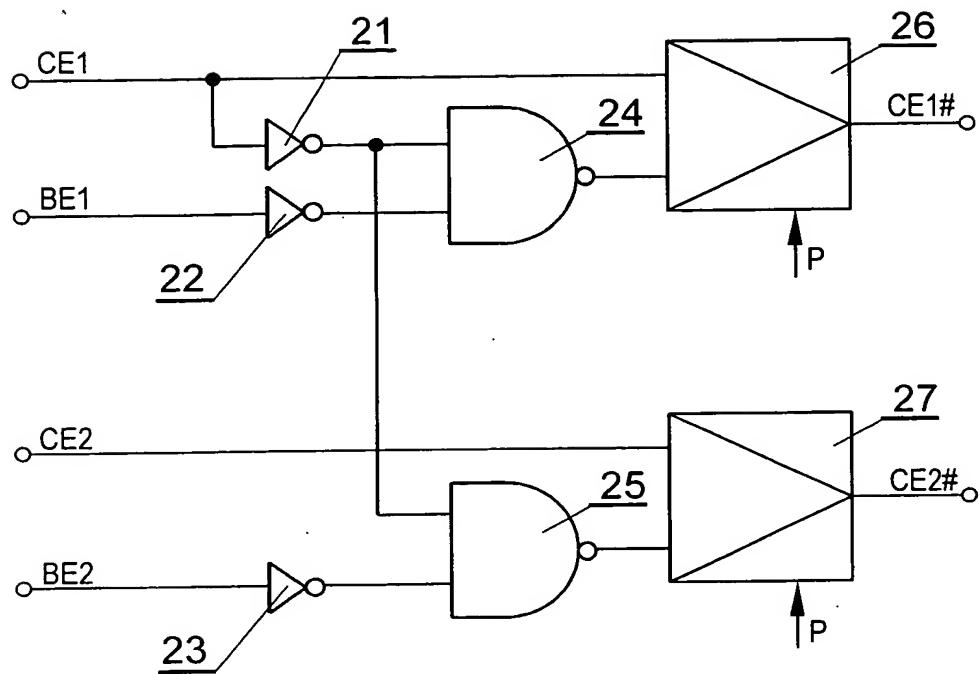


Fig. 2

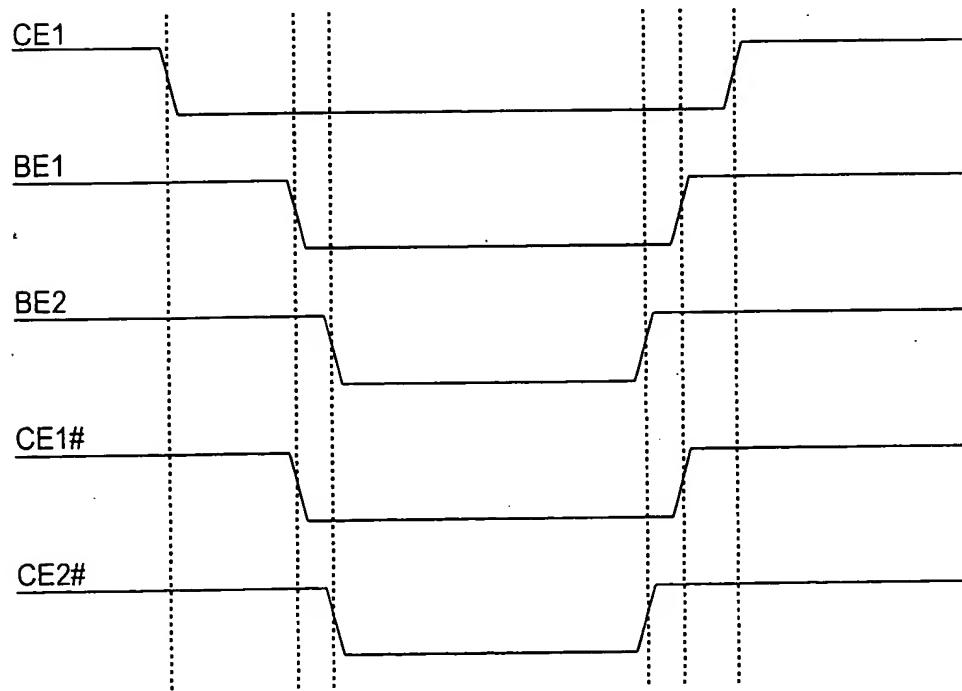


Fig. 3

3 / 4

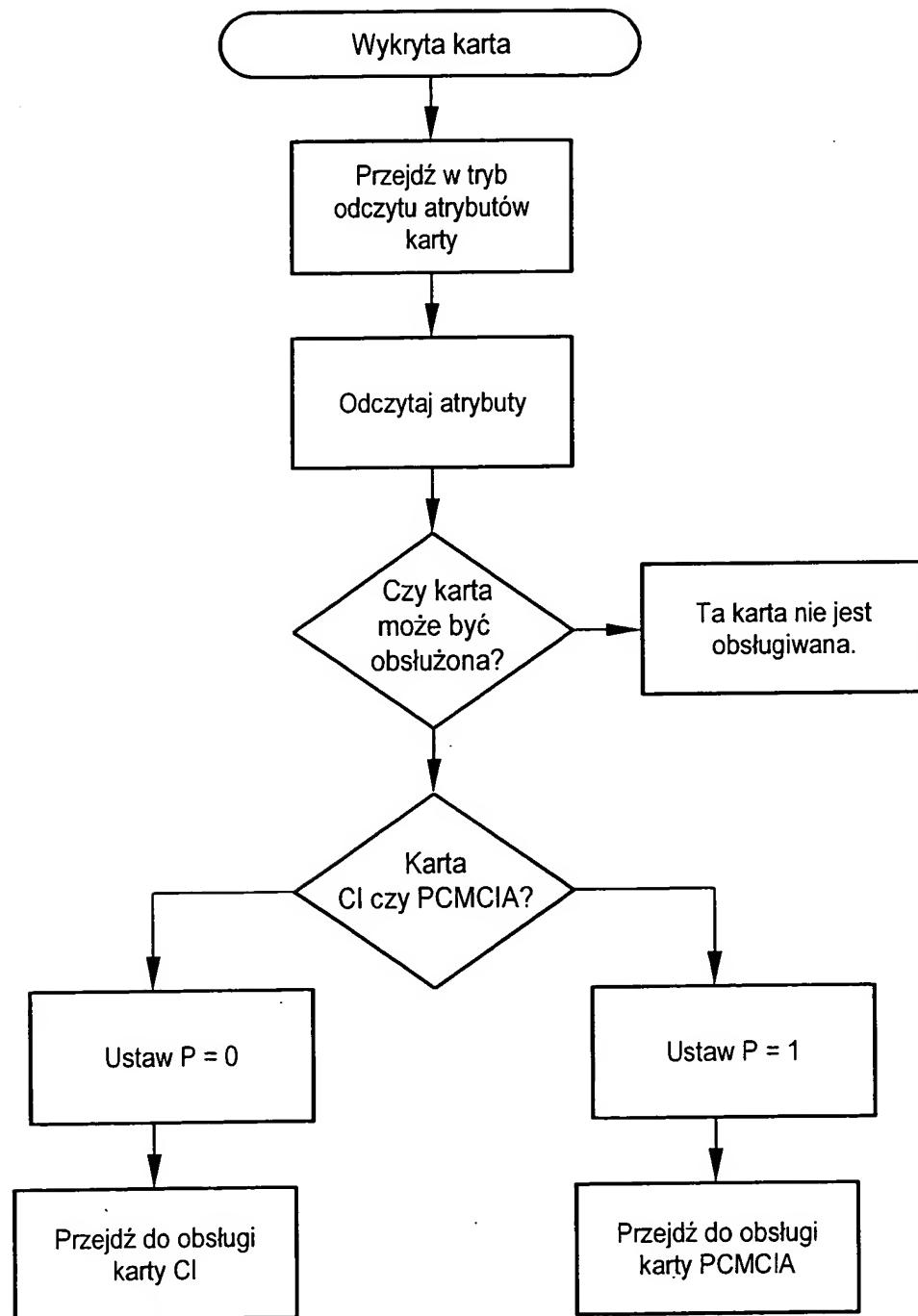


Fig. 4

4 / 4

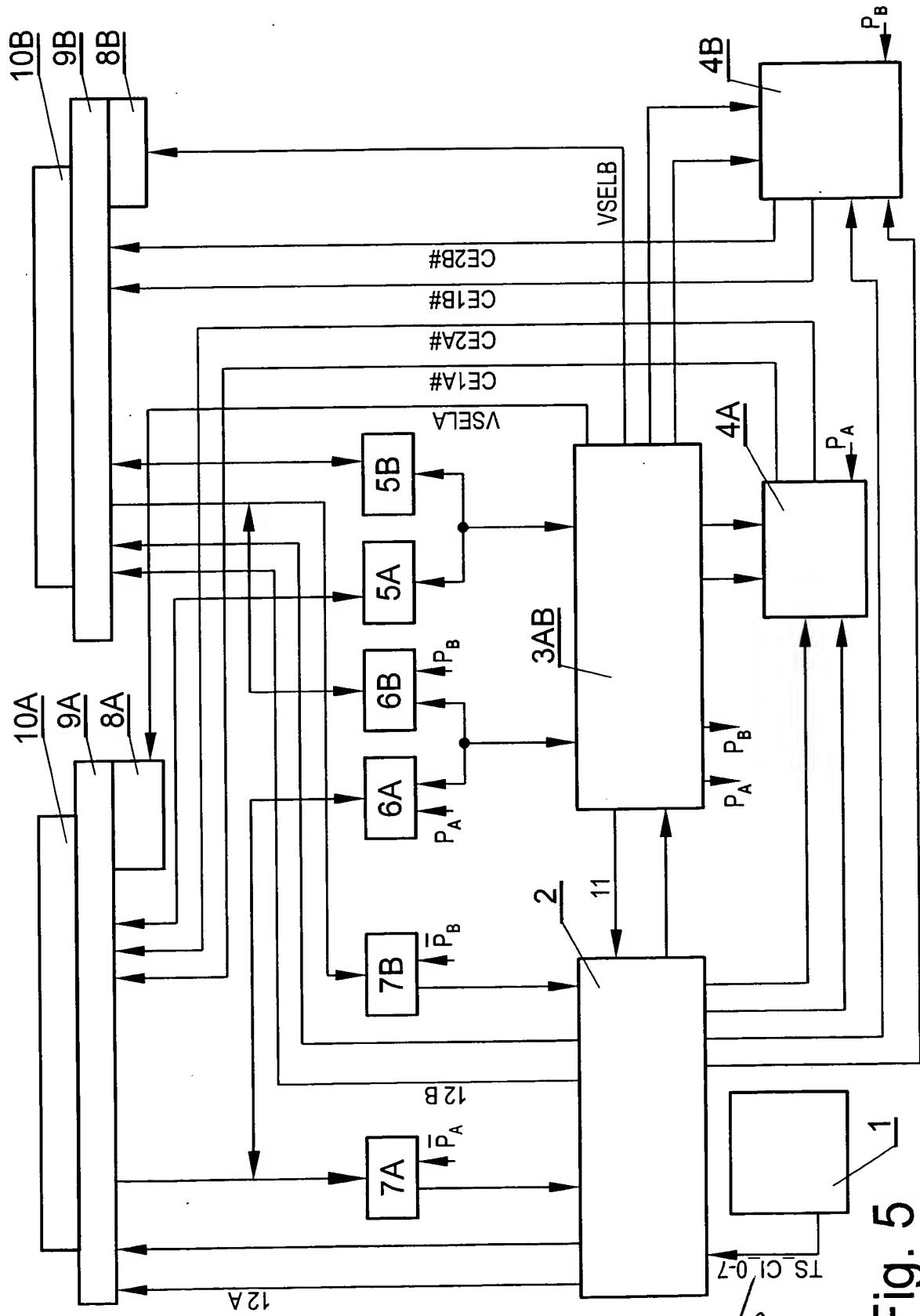


Fig. 5